

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-075871

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 21/205

C23C 16/18

C23C 16/30

C23C 16/34

C30B 29/38

H01L 21/308

H01S 5/323

(21)Application number : 2000-253743

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.08.2000

(72)Inventor : MANNOU MASAYA

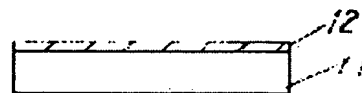
## (54) MANUFACTURING METHOD OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

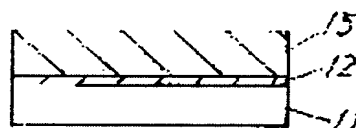
**PROBLEM TO BE SOLVED:** To inhibit the crack and warpage generated by the difference in thermal coefficient of expansion between a nitride single-crystal thick film to be grown and a substrate.

**SOLUTION:** After a multilayer film comprising a GaN high-temperature layer 13 and a GaN low-temperature layer 14 is formed on a silicon (111) substrate via an AlN buffering layer 12, a self-supported laminate obtained by removing the silicon (111) substrate 11 by etching is used as a substrate for growth, and a GaN single-crystal thick film is deposited on it and then the laminate is polished and removed, thus obtaining the GaN single-crystal substrate. Both the substrate for growth and the nitride single-crystal thick film are formed by a nitride, thus inhibiting the crack and warpage generated by the difference in thermal coefficient of expansion.

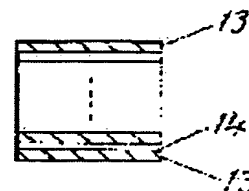
(a)



(b)



(c)



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

.. ..

(19) 日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11) 特許出願公開番号

特開2002-75871

( P 2 0 0 2 - 7 5 8 7 1 A )

(43) 公開日 平成14年3月15日 (2002. 3. 15)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード' (参考)
H01L 21/205		H01L 21/205	4G077
C23C 16/18		C23C 16/18	4K030
16/30		16/30	5F043
16/34		16/34	5F045
C30B 29/38		C30B 29/38	D 5F073
審査請求 未請求 請求項の数12 O L (全11頁) 最終頁に続く			

(21) 出願番号 特願2000-253743 ( P 2000 - 253743 )

(71) 出願人 000005821

松下電器産業株式会社

(22) 出願日 平成12年8月24日 (2000. 8. 24)

大阪府門真市大字門真1006番地

(72) 発明者 萬濃 正也

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

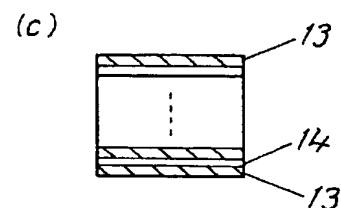
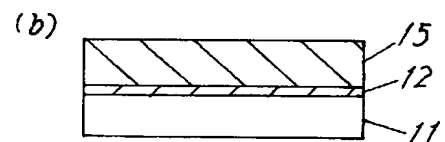
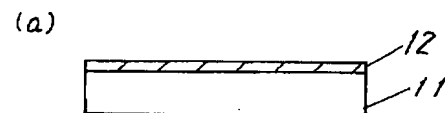
最終頁に続く

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 成長する窒化物単結晶厚膜と基板の熱膨張係数差によって生じる亀裂、反りを抑制することを目的とする。

【解決手段】 シリコン (111) 基板11上にAlN緩衝層12を介してGa<sub>0.5</sub>N高温層13とGa<sub>0.5</sub>N低温層14からなる多層膜を形成した後、シリコン (111) 基板11をエッチング除去して得られる自立した積層体を成長用基板として用い、その上にGa<sub>0.5</sub>N単結晶厚膜を堆積した後に積層体を研磨除去することによって、Ga<sub>0.5</sub>N単結晶基板を得る。成長用基板とその上に形成する窒化物単結晶厚膜とともに窒化物で形成されており、熱膨張係数差によって生じる亀裂や反りが抑制される。



## 【特許請求の範囲】

【請求項 1】 基板の上に III 族窒化物よりなる層を複数積層して多層膜を形成する工程と、前記多層膜を前記基板より分離する工程と、前記分離された多層膜の上に III 族窒化物よりなる単結晶層を形成する工程とを有し、前記多層膜を形成する工程は低温成長で形成した II 族窒化物層と前記低温成長よりも高い温度で形成した II 族窒化物層とを交互に積層する工程である半導体基板の製造方法。

【請求項 2】 前記多層膜を形成する工程は、900℃以下の成長温度で形成した III 族窒化物層と 900℃を超える温度で形成した III 族窒化物層とを交互に積層する工程である請求項 1 記載の半導体基板の製造方法。

【請求項 3】 前記分離された多層膜の上に III 族窒化物よりなる単結晶層を形成する工程において、前記多層膜上に中間層を堆積する工程と、前記中間層上に III 族窒化物の単結晶層を形成する工程とを有する請求項 1 記載の半導体基板の製造方法。

【請求項 4】 前記中間層上に III 族窒化物の単結晶層を形成する工程の後に、前記中間層を除去して前記単結晶層を分離する工程を有する請求項 3 記載の半導体基板の製造方法。

【請求項 5】 前記中間層が、AlGaInN、BaGaInN、NdGaO<sub>3</sub>、MgO、ZnO、TiO<sub>2</sub>、ZnSe、ZnTe、ZnS、GaAs、Si、W、SiC、SiGeC、Al<sub>2</sub>O<sub>3</sub>、SiN、SiO<sub>2</sub> である請求項 3 記載の半導体基板の製造方法。

【請求項 6】 前記多層膜を前記基板より分離する工程において、エッチングガスを前記基板面から吹き付ける工程を有する請求項 1 記載の半導体基板の製造方法。

【請求項 7】 前記エッチングガスが塩化水素を成分に含むガスである請求項 6 記載の半導体基板の製造方法。

【請求項 8】 基板の上に III 族窒化物よりなる層を複数積層して多層膜を形成する工程と、前記多層膜を前記基板より分離する工程と、前記分離された多層膜の上に III 族窒化物よりなる単結晶層を形成する工程とを有し、前記多層膜を形成する工程は、組成が異なる少なくとも 2 層の III 族窒化物層を形成する工程である半導体基板の製造方法。

【請求項 9】 前記多層膜の膜厚が、20 μm 以上である請求項 1 または 8 記載の半導体基板の製造方法。

【請求項 10】 前記単結晶層が、50 μm 以上の層厚を有する請求項 1 または 8 記載の半導体基板の製造方法。

【請求項 11】 前記多層膜のうち前記単結晶層に接する膜の組成と前記単結晶層の組成とが同一である請求項 1 または 8 記載の半導体基板の製造方法。

【請求項 12】 前記基板の上に III 族窒化物よりなる層を複数積層して多層膜を形成する工程において前記多層膜を形成した基板を複数枚形成し、前記工程の後に前

記複数枚の基板の前記多層膜側どうしを密着させる工程を有する請求項 1 または 8 記載の半導体基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、青紫色半導体レーザ等のデバイスを形成する基板として用いられる、III 族窒化物よりなる半導体基板の製造方法に関するものである。

## 【0002】

【従来の技術】 GaN、InN、AlN 等の III 族窒化物半導体は、直接遷移型の化合物半導体であり、かつ広いエネルギーギャップを持ち、材料的に安定であるために、短波長光源や耐環境デバイスとして脚光を浴びている。例えば、窒化ガリウム（以下、GaN）は約 3.4 eV の広いエネルギーギャップを持っているために、青色から紫外領域にわたる光を発する発光素子として有望な材料である。

【0003】 しかるに、GaN は高融点で、融点付近で窒素の解離圧が高いことから、バルク単結晶の作製が困難であり、窒化物半導体薄膜を形成するための格子整合可能な基板が存在していない。そのため、基板としてサファイアや SiC などの異種材料を用いて、その上に MOVPE（有機金属気相成長）法、MBE（分子線結晶成長）法や HVPE（ハイドライド気相成長）法などのエピタキシャル法により単結晶膜を得ている。なかでも、HVPE 法は、成長速度が大きいという特徴を持ったため、GaN 単結晶基板を作製するための厚膜成長法として注目されている。

【0004】 また近年、マスク上への横方向成長（ELOG）を利用してマスクの埋め込み構造を作製する方法により、転位密度が低い GaN 厚膜を作製できることが知られている。

## 【0005】

【発明が解決しようとする課題】 サファイアを基板として GaN 厚膜を成長した場合、サファイアは GaN との格子定数差が 13.8%、熱膨張係数差が 25.5% もあることから、基板との界面で発生した結晶欠陥にともない 10<sup>10</sup> cm<sup>-2</sup> と高密度の転位が発生し、また、生じる結晶欠陥あるいは熱歪による亀裂や基板の反りが発生する。

【0006】 結晶欠陥に関しては、基板と成長層の間に AlN や GaN を緩衝層として低温成長させる等の手法により比較的高品質な GaN 単結晶薄膜が得られている。しかしながら、この場合においても、結晶中の転位は 10<sup>8</sup> cm<sup>-2</sup> 以上も存在することが知られている。

【0007】 このように、サファイア基板等の異種材料上に高品質な窒化物半導体を形成する場合、特に数 10 μm 以上の厚膜を形成する場合において亀裂と反りの問題および転位の問題がとりわけ重要となる。亀裂や反り

が生じるのは、主に基板との格子構造の相違に起因する格子不整合、基板との熱膨張係数の不整合や材料の高いドーピングレベルに起因する不整合によるものと考えられる。熱膨張係数の違いによる反りや亀裂は、温度変化に応じた格子定数の膨張または収縮に関するもので、特に、成長後の基板温度降下中に発生する。従って、成長中もしくは成長直後に成長温度と同等の基板温度において基板を除去できればこれに勝るものはないが、現実的には困難な手法であり、これに代わる手法が強く求められる。

【0008】一方、サファイアは非常に硬く加工が困難であり、また絶縁性があるため試料裏面から電極をとることができない等デバイス作製に制限を受けるような幾つかの課題がある。ウルツ鉱構造のGa<sub>2</sub>N成長基板としては同じ六方晶系の基板が望ましいが、立方晶系の(111)面基板を使用することもできる。これを考慮すれば、導電性・劈開性を有する成長基板として、6H-SiC、Si、GaAs、GaPなどが挙げられる。GaAsやGaPはGa<sub>2</sub>Nの成長温度では熱分解を起こすため、適切とは言えない。一方、6H-SiCやSiは熱的な問題はないと考えられる。SiCは非常に高価であり、まだ大口径の基板は入手できず、Siは安価であるが亀裂が発生しやすく高品質結晶の成長が困難である。

【0009】本発明の目的は、窒化物半導体膜の形成時に発生する歪や欠陥を少なくし、また厚膜を成長しても亀裂や反りの問題を克服し、高品質の半導体基板を得るための製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記課題を解決するために本発明の半導体基板の製造方法は、基板の上にIII族窒化物よりなる層を複数積層して多層膜を形成する工程と、前記多層膜を前記基板より分離する工程と、前記分離された多層膜の上にIII族窒化物よりなる単結晶層を形成する工程とを有し、前記多層膜を形成する工程は低温成長で形成したIII族窒化物層と前記低温成長よりも高い温度で形成したIII族窒化物層とを交互に積層する工程であるものである。

【0011】この構成により、基板近傍においてIII族窒化物よりなる層ととの間の熱歪により生ずる欠陥を、低温成長で形成したIII族窒化物層と前記低温成長よりも高い温度で形成したIII族窒化物層とを交互に積層した多層膜において低減させることができるので、多層膜の上に形成されたIII族窒化物よりなる単結晶層の亀裂や反りを防止でき、転位密度を著しく低減させることができる。

【0012】本発明の半導体基板の製造方法は、かかる構成につき、多層膜を形成する工程は、900℃以下の成長温度で形成したIII族窒化物層と900℃を超える温度で形成したIII族窒化物層とを交互に積層する工程

きる多層膜を得ることができる。

【0013】本発明の半導体基板の製造方法は、かかる構成につき、分離された多層膜の上にIII族窒化物よりなる単結晶層を形成する工程において、前記多層膜上に中間層を堆積する工程と、前記中間層上にIII族窒化物の単結晶層を形成する工程とを有することにより、さらにIII族窒化物の単結晶層を多層膜より容易に分離させることができる。

【0014】本発明の半導体基板の製造方法は、かかる構成につき、中間層が、AlGaInN、BaGaInN、NdGaO<sub>3</sub>、MgO、ZnO、TiO<sub>2</sub>、ZnSe、ZnTe、ZnS、GaAs、Si、W、SiC、SiGeC、Al<sub>2</sub>O<sub>3</sub>、SiN、SiO<sub>2</sub>であることにより、その上に形成される単結晶層の結晶性を良好にできる。なお、ここでAlGaInNおよびBaGaInNとはそれぞれ(Al<sub>x</sub>Ga<sub>1-x-y</sub>In<sub>y</sub>)N(0≤x≤1、0≤y≤1)および(BaAl<sub>x</sub>Ga<sub>1-x-y-z</sub>In<sub>z</sub>)N(0≤x≤1、0≤y≤1、0≤z≤1)のことを表す。

【0015】本発明の半導体基板の製造方法は、かかる構成につき、多層膜を基板より分離する工程において、エッチングガスを前記基板面から吹き付ける工程を有することにより、熱歪により発生する多層膜の欠陥や多層膜の反りをさらに抑制できる。

【0016】本発明の半導体基板の製造方法は、かかる構成につき、エッチングガスが塩化水素を成分に含むガスであることにより、より効率よく多層膜を基板より分離することができる。

【0017】本発明の半導体基板の製造方法は、基板の上にIII族窒化物よりなる層を複数積層して多層膜を形成する工程と、前記多層膜を前記基板より分離する工程と、前記分離された多層膜の上にIII族窒化物よりなる単結晶層を形成する工程とを有し、前記多層膜を形成する工程は、組成が異なる少なくとも2層のIII族窒化物層を形成する工程であるものである。

【0018】この構成により、基板近傍においてIII族窒化物よりなる層ととの間の熱歪により生ずる応力を、組成が異なる少なくとも2層のIII族窒化物層において吸収させることができるので、多層膜の上に形成されたIII族窒化物よりなる単結晶層の亀裂や反りを防止できる。

【0019】本発明の半導体基板の製造方法は、かかる構成につき、多層膜の膜厚が、20μm以上であることにより、より欠陥の数が減少した多層膜およびその多層膜の上に形成された、より欠陥の数が減少したIII族窒化物よりなる単結晶を得ることができる。

【0020】本発明の半導体基板の製造方法は、かかる構成につき、単結晶層が、50μm以上の層厚を有することにより、自立し、かつより欠陥の数が減少した単結晶を得ることができる。

【0021】本発明の半導体基板の製造方法は、かかる構成につき、多層膜のうち前記単結晶層に接する層の組成と前記単結晶層の組成とが同一であることにより、単結晶層の結晶性をより良好にできる。

【0022】本発明の半導体基板の製造方法は、かかる構成につき、基板の上にIII族窒化物よりなる層を複数積層して多層膜を形成する工程において多層膜を形成した基板を複数枚形成し、その工程の後に前記複数枚の基板の多層膜側どうしを密着させる工程を有することにより、多層膜の反りを防止できて多層膜を厚くすることができ、容易にGa<sub>0.5</sub>N単結晶厚膜を得ることができる。

【0023】

【発明の実施の形態】本発明の実施の形態について、図面を用いて以下に説明する。

【0024】（実施の形態1）図1および図2は本発明の実施の形態1に係る半導体基板の製造方法について示したものである。本実施の形態では、窒化物結晶の成長にMOVPE法を用いた例について示す。

【0025】まず、図1(a)に示すように、基板として酸や溶剤等により表面が清浄化されたシリコン(111)基板11をMOVPE装置内のサセプター上に配置し、N<sub>2</sub>ガスを10slmの流量で供給しながら、基板温度を1100℃まで上昇させて10分間保持し、シリコン(111)基板11表面のサーマルクリーニングを行う。続いて、基板温度を900℃まで降下させて、N<sub>2</sub>ガスに加え、流量が1slmのアンモニアガスと流量が30μmol/minのトリメチルアルミニウムを添加して、シリコン(111)基板11上に20nm厚のAlN緩衝層12を形成する。その後、トリメチルアルミニウムの供給を停止する。なお、ここで流量の単位としてslmを用いたが、これは例えば1slmは標準状態(0℃、1気圧)の気体を1分間に1l流す流量のことである。また、sccmという単位は、例えば1sccmは標準状態(0℃、1気圧)の気体を1分間に1cm<sup>3</sup>流す流量のことである。

【0026】続いて、基板温度を1050℃まで上昇させて、流量が50μmol/minのトリメチルガリウムを添加して、1μm厚のGa<sub>0.5</sub>N高温層13をAlN緩衝層12上に積層する。その後、トリメチルガリウムの供給を停止する。引き続き、基板温度を600℃まで降下させて、流量が50μmol/minのトリメチルガリウムを添加して、20nm厚のGa<sub>0.5</sub>N低温層14を積層する。その後、トリメチルガリウムの供給を停止する。この工程を一周期とし、20周期繰り返すことにより基板温度の異なる層からなる約20μm厚のGa<sub>0.5</sub>N多層膜15が形成される。最表面は結晶性の良い結晶とするためにGa<sub>0.5</sub>N高温層13で終端している(図1(b)、(c))。なお、図1(c)は図1(b)におけるGa<sub>0.5</sub>N多層膜15を拡大した図である。

【0027】通常、シリコンやサファイアなどの異種材

料基板上にGa<sub>0.5</sub>NやAlN緩衝層を介してGa<sub>0.5</sub>N高温層を形成する場合、その膜厚がおおよそ数μm以上となることと基板温度の降下過程で成長層に亀裂が生じる。これは、基板であるシリコンとGa<sub>0.5</sub>Nの熱膨張係数の違いから生じる内部応力によるものである。一方、本実施の形態に示す工程によれば20μmまで亀裂が生じることなく成長することが確認された。Ga<sub>0.5</sub>N高温層13とGa<sub>0.5</sub>N低温層14を交互に積層することによって内部応力は低減できたものと考えられる。

【0028】その後、HF:HNO<sub>3</sub>系のエッチャントを用いて基板であるシリコン(111)基板11を選択的にエッチング除去し、AlN緩衝層12とGa<sub>0.5</sub>N多層膜15からなる自立した積層体を得る(図2(a))。ここで、シリコン(111)基板11は完全に除去する必要はなく、エッチング後のハンドリングが容易となるように、例えば、全厚みが50μm厚となるようにシリコン(111)基板11の一部を残すようにエッチング制御してもよい。また、シリコン(111)基板11をウェットエッチングにより除去したが、シリコン(111)基板11を研磨して除去してもよく、さらには20μm厚のGa<sub>0.5</sub>N多層膜15を堆積後、基板温度を降下させないでエッチングガスとしての塩酸ガスを基板側から吹き付けてガスエッチングすると熱歪により発生する欠陥やウェハーの反りを抑制できるため、より好ましい。

【0029】次に、Ga<sub>0.5</sub>N単結晶基板を作製するための成長用基板としてシリコン(111)基板11を除去した約20μm厚の積層体を再度MOVPE装置内のサセプター上に配置し、流量10slmのN<sub>2</sub>ガスと流量1slmのアンモニアガスを供給しながら、1100℃まで基板温度を上昇させて10分間保持し、積層体表面に表出するGa<sub>0.5</sub>N表面のサーマルクリーニングを行う。続いて、基板温度を1050℃まで降下させて、流量が200μmol/minのトリメチルガリウムを供給し、100μm厚のGa<sub>0.5</sub>N単結晶厚膜16を堆積する(図2(b))。その後、基板温度を室温まで降下させる。最後に、成長用基板部を研磨除去して約100μm厚のGa<sub>0.5</sub>N単結晶厚膜16からGa<sub>0.5</sub>N単結晶基板を作製する(図2(c))。

【0030】上記図1(a)～(c)および図2(a)～(c)に示す構成により、シリコン(111)基板11近傍においてGa<sub>0.5</sub>N単結晶厚膜16との間にかかる熱歪により生ずる欠陥を、600℃の低温成長で形成したGa<sub>0.5</sub>N低温層14と1050℃の高温成長で形成したGa<sub>0.5</sub>N高温層13とからなるGa<sub>0.5</sub>N多層膜15において低減させることができるので、Ga<sub>0.5</sub>N多層膜15の上に形成されたGa<sub>0.5</sub>N単結晶厚膜16の転位密度を著しく低減させることができる。その結果、作製されるGa<sub>0.5</sub>N単結晶基板の転位密度を著しく低減させることができる。

【0031】とりわけ、Ga<sub>0.5</sub>N多層膜15の膜厚を20

$\mu\text{m}$ としているので、シリコン(111)基板11近傍において生じる欠陥がGaN多層膜15においてほとんど吸収され、GaN単結晶厚膜16に結晶欠陥をほとんど生じさせないようにできる。

【0032】また、とりわけGaN単結晶厚膜16の膜厚が約 $100\mu\text{m}$ であるので、GaN単結晶厚膜16の結晶性を良好にできる。

【0033】上記実施の形態において、GaN多層膜15からなる積層体上に直接 $100\mu\text{m}$ 厚のGaN単結晶厚膜16を堆積した。この場合、積層体表面付近での転位密度は $10^{10}\text{cm}^{-2}$ 程度存在するので、その上部に堆積したGaN単結晶厚膜16の初期過程には同等の転位密度となるが、積層にともない減少してGaN単結晶厚膜16の表面付近では約 $10^8\text{cm}^{-2}$ 程度となった。

【0034】図3は実施の形態1に係る他の半導体基板の製造方法を示す断面構造図である。図1および図2に示す工程と同一工程は省略してあり、図2(b)に対応する工程のみ示している。図3に示すようにGaN単結晶厚膜17は、積層体表面にストライプ状のシリコン酸化膜マスク18を形成して、マスク上への横方向成長を利用していわゆるELOG成長によってGaN単結晶厚膜17を形成している。この手法の適用により、さらに低欠陥化が図れ、転位密度は $10^8\text{cm}^{-2}$ 程度となる。

【0035】また、ここで作製したGaN単結晶基板を成長用基板として用いるとさらに高品質の単結晶基板が作製できる。具体的には、転位密度として $10^4\text{cm}^{-2}$ 程度まで低減できることが確認された。

【0036】ここでは、MOVPE法による成長について説明したが、これに限定されるものではなく、実用的には成長速度の速いハイドライド気相成長(HVPE)法を用いるのが好ましい。また、MOVPE法とHVPE法の組み合わせにより形成することももちろん可能である。さらには、GaNのみならず、InやAlを含有した窒化物半導体でもかまわない。さらに、ここでは基板温度を $600^\circ\text{C}$ と $1050^\circ\text{C}$ の二温度としたが、これに限定されるものでなく、三温度以上の積層体でもかまわない。いずれにしても、低温層を $900^\circ\text{C}$ 以下で結晶成長し、高温層を $900^\circ\text{C}$ 以上で結晶成長するとより亀裂や反りが低減される。

【0037】なお、GaN多層膜15の膜厚が $20\mu\text{m}$ 以上あれば、GaN多層膜15そのものが自立すなわち、1枚の基板として取り扱うことができるとともにGaN単結晶厚膜16とGaN多層膜15とが格子整合できるのでGaN単結晶厚膜16に結晶欠陥をほとんど生じさせないようにできる。

【0038】また、とりわけGaN単結晶厚膜16の膜厚は、 $50\mu\text{m}$ 以上であればGaN単結晶厚膜16の結晶性を良好にできる。

【0039】(実施の形態2)図4および図5は本発明の実施の形態2に係る半導体基板の製造方法について示

したものである。本実施の形態では、窒化物結晶の成長にMOVPE法を用いた例について示す。

【0040】まず、図4(a)に示すように、基板として酸や溶剤等により表面が清浄化されたシリコン(111)基板11をスパッタリング装置内に配置し、ZnOセラミックをターゲットとして $200\text{nm}$ 厚のZnO膜19を堆積する。次に、MOVPE装置内のサセプター上に配置し、 $\text{N}_2$ ガスを $10\text{slm}$ の流量で供給しながら、基板温度を $600^\circ\text{C}$ までを上昇させて10分間保持し、シリコン(111)基板11上のZnO膜19表面のサーマルクリーニングを行う。続いて $\text{N}_2$ ガスに加え、流量が $1\text{slm}$ のアンモニアガスと流量が $50\mu\text{mol/min}$ のトリメチルガリウムを添加して、ZnO膜19を堆積したシリコン(111)基板11上に $20\text{nm}$ 厚のGaN緩衝層20を形成する。その後、トリメチルガリウムの供給を停止する(図4(b))。

【0041】続いて、基板温度を $1050^\circ\text{C}$ まで上昇させて、流量が $50\mu\text{mol/min}$ のトリメチルガリウムを添加して、 $1\mu\text{m}$ 厚のGaN層21をGaN緩衝層20上に積層する。その後、トリメチルガリウムの供給を停止する。引き続き、基板温度を $800^\circ\text{C}$ まで降下させて、流量が $30\mu\text{mol/min}$ のトリメチルアルミニウムと流量が $100\mu\text{mol/min}$ のトリメチルインジウムを添加して、 $0.5\mu\text{m}$ 厚のAlInN層22を積層する。その後、トリメチルアルミニウムとトリメチルインジウムの供給を停止する。この工程を一周期とし、20周期繰り返すことにより組成の異なる層からなる約 $30\mu\text{m}$ 厚のGaN/AlInN多層膜23が形成される。最表面はGaN層21で終端している(図4(c)、(d))。なお、GaN/AlInN多層膜23を拡大した図が図4(d)に示されている。

【0042】本実施の形態に示す工程では $30\mu\text{m}$ まで亀裂なく成長することが確認された。GaN層21とGaNに比較的格子整合し熱膨張率の小さいAlInN層22を交互に積層することによって内部応力は低減できたものと考えられる。

【0043】その後、 $\text{HF}:\text{HNO}_3$ 系のエッチャントを用いて基板であるシリコン(111)基板11とZnO膜19を選択的にエッチング除去し、GaN緩衝層20とGaN/AlInN多層膜23からなる自立した積層体を得る。ここで、シリコン(111)基板11は完全に除去する必要はなく、エッチング後のハンドリングが容易となるように、例えば、全厚みが $50\mu\text{m}$ 厚となるようにシリコン(111)基板11の一部を残すようにエッチング制御してもよい。ここでは、シリコン(111)基板11をウエットエッチングにより除去したが、研磨して除去してもよく、さらには $30\mu\text{m}$ 厚のGaN/AlInN多層膜23を堆積後、基板温度を降下させることなく、塩酸ガスを基板面側から吹き付けることによりガスエッチングすると熱歪により発生する欠陥

やウエハーの反りをさらに抑制できるため、より好ましい。

【0044】次に、積層体表面にストライプ状のシリコン酸化膜マスク18を形成する(図5(a))。その後、Ga<sub>0.5</sub>N単結晶基板を作製するための成長用基板としてシリコン(111)基板11を除去した約30μm厚の積層体を再度MOVPE装置内のサセプター上に配置し、流量10slmのN<sub>2</sub>ガスと流量1slmのアンモニアガスを供給しながら、1100℃まで基板温度を上昇させて10分間保持し、積層体表面に表出するGa<sub>0.5</sub>N表面のサーマルクリーニングを行う。続いて、基板温度を1050℃まで降下させて、流量が200μmol/minのトリメチルガリウムを供給し、マスク上への横方向成長を利用したいわゆるELOG成長によって表面が平坦となる100μm厚のGa<sub>0.5</sub>N単結晶厚膜17を堆積する(図5(b))。その後、基板温度を室温まで降下させるわけであるが、熱膨張係数の不整合に係わる問題は発生しないので、亀裂が生じることはない。最後に、成長用基板部を研磨除去して約100μm厚のGa<sub>0.5</sub>N単結晶厚膜17からなるGa<sub>0.5</sub>N単結晶基板を作製する(図5(c))。

【0045】上記図4(a)～(d)および図5(a)～(c)に示す構成により、シリコン(111)基板11とGa<sub>0.5</sub>N単結晶厚膜17との格子不整合により生ずる反りや亀裂をGa<sub>0.5</sub>N/AlInN多層膜23において低減させることができるので、Ga<sub>0.5</sub>N/AlInN多層膜23の上に形成されたGa<sub>0.5</sub>N単結晶厚膜17の転位密度を著しく低減させることができる。その結果、作製されるGa<sub>0.5</sub>N単結晶基板の転位密度を著しく低減させることができる。

【0046】上記実施の形態において、Ga<sub>0.5</sub>N/AlInN多層膜23からなる積層体上に100μm厚のGa<sub>0.5</sub>N単結晶厚膜17を堆積した。この場合、積層体表面付近での転位密度は10<sup>10</sup>cm<sup>-2</sup>程度存在するが、ストライプ状のシリコン酸化膜マスク18を形成して、マスク上への横方向成長を利用したいわゆるELOG成長を行っているため低欠陥のGa<sub>0.5</sub>N単結晶厚膜17が形成できる。実際、転位密度は10<sup>7</sup>cm<sup>-2</sup>程度まで低減できている。

【0047】また、ここで作製したGa<sub>0.5</sub>N単結晶基板を成長用基板として用いるとさらに高品質の単結晶基板が作製できる。具体的には、転位密度として10<sup>5</sup>cm<sup>-2</sup>程度まで低減できることが確認された。

【0048】ここでは、MOVPE法による成長について説明したが、これに限定されるものではなく、実用的には成長速度の速いハイドライド気相成長(HVPE)法を用いるのが好ましい。また、MOVPE法とHVPE法の組み合わせにより形成することももちろん可能である。さらには、ここで限定したGa<sub>0.5</sub>N/AlInN多層膜23のみならず、他構成の窒化物半導体でもかまわ

ない。また、ここでは組成だけでなく、実施の形態1で示した基板温度も変化した例について述べたが、基板温度は同一でもよい。

【0049】(実施の形態3)図6および図7は本発明の実施の形態3に係わる半導体基板の製造方法について示したものである。ここでは、中間層を介してGa<sub>0.5</sub>N単結晶厚膜を形成するものである。この場合、中間層を選択的にエッチングしてGa<sub>0.5</sub>N単結晶厚膜を成長用基板から分離することを前提としたものである。したがって、中間層は選択的にエッチングできる材料であることが求められる。分離後の成長用基板は何度も成長用基板として利用できるため、製造的なメリットは大きい。

【0050】まず、実施の形態2と同様の工程により、シリコン(111)基板11上にGa<sub>0.5</sub>N/AlInN多層膜23を形成する。詳細は以下の通りである。図6

(a)に示すように、基板として酸や溶剤等により表面が清浄化されたシリコン(111)基板11をスパッタリング装置内に配置し、ZnOセラミックをターゲットとして200nm厚のZnO膜19を堆積する。次に、MOVPE装置内のサセプター上に配置し、N<sub>2</sub>ガスを10slmの流量で供給しながら、基板温度を600℃まで上昇させて10分間保持し、シリコン(111)基板11上のZnO膜19表面のサーマルクリーニングを行う。続いてN<sub>2</sub>ガスに加え、流量が1slmのアンモニアガスと流量が50μmol/minのトリメチルガリウムを添加して、ZnO膜19を堆積したシリコン(111)基板11上に20nm厚のGa<sub>0.5</sub>N緩衝層20を形成する。その後、トリメチルガリウムの供給を停止する(図6(b))。

【0051】続いて、基板温度を1050℃まで上昇させて、流量が50μmol/minのトリメチルガリウムを添加して、1μm厚のGa<sub>0.5</sub>N層21をGa<sub>0.5</sub>N緩衝層20上に積層する。その後、トリメチルガリウムの供給を停止する。引き続き、基板温度を800℃まで降下させて、流量が30μmol/minのトリメチルアルミニウムと流量が100μmol/minのトリメチルインジウムを添加して、0.5μm厚のAlInN層22を積層する。その後、トリメチルアルミニウムとトリメチルインジウムの供給を停止する。この工程を一周期とし、20周期繰り返すことにより組成の異なる層からなる約30μm厚のGa<sub>0.5</sub>N/AlInN多層膜23が形成される。最表面はGa<sub>0.5</sub>N層21で終端している(図6(c))。

【0052】その後、HF:HNO<sub>3</sub>系のエッチャントを用いて基板であるシリコン(111)基板11とZnO膜19を選択的にエッチング除去し、Ga<sub>0.5</sub>N緩衝層20とGa<sub>0.5</sub>N/AlInN多層膜23からなる自立した積層体を得る。

【0053】次に、シリコン(111)基板11を除去したGa<sub>0.5</sub>N単結晶基板を作製する成長用基板となる30

$\mu\text{m}$ 厚の積層体をスパッタリング装置内に配置し、ZnOセラミックをターゲットとしてZnO膜24（中間層）を堆積する（図6（d））。次に、ZnO膜24上にストライプ状のシリコン酸化膜マスク18を形成する（図7（a））。

【0054】その後、MOVPE装置内のサセプター上に配置し、 $\text{N}_2$ ガスを10slmの流量で供給しながら基板温度を600℃まで上昇させて10分間保持し、表面のサーマルクリーニングを行う。続いて、 $\text{N}_2$ ガスに加え、流量が1slmのアンモニアガスと流量が200  $\mu\text{mol}/\text{min}$ のトリメチルガリウムを供給し、20nm厚のGaN緩衝層25を堆積する。この場合、GaNはシリコン酸化膜マスク18上に堆積せず、ストライプ開口部に表出したZnO膜24上のみ堆積する。その後、基板温度を1050℃まで上昇させて、流量が200  $\mu\text{mol}/\text{min}$ のトリメチルガリウムを供給し、マスク上の横方向成長を利用したいわゆるELOG成長によって表面が平坦となった110  $\mu\text{m}$ 厚のGaN単結晶厚膜17を堆積する（図7（b））。その後、基板温度を室温まで降下させるわけであるが、中間層の膜厚は薄いため、熱膨張係数の不整合に係わる課題は発生せず、亀裂が生じることはない。次に、HClをエッチャントとしてZnO膜24を選択的にエッチングして、GaN単結晶厚膜17を分離する。最後に両面を研磨除去して100  $\mu\text{m}$ 厚のGaN単結晶厚膜からなるGaN単結晶基板を作製する（図7（c））。

【0055】この場合、GaN単結晶厚膜表面付近での転位密度は約 $10^6/\text{cm}^2$ 程度まで低減できている。

【0056】ここでは、GaN/AlInN多層膜23からなる積層体上に中間層としてZnO膜19を介して110  $\mu\text{m}$ 厚のGaN単結晶厚膜17を堆積した。この場合、積層体表面付近での転位密度は $10^{10}/\text{cm}^2$ 程度存在するが、ストライプ状のシリコン酸化膜マスク18を形成して、マスク上への横方向成長を利用したいわゆるELOG成長を行っているので低欠陥のGaN単結晶厚膜17が形成できる。実際、転位密度は $10^7/\text{cm}^2$ 程度まで低減できている。

【0057】また、ここで作製したGaN単結晶基板を成長用基板として用いるとさらに高品質の単結晶基板が作製できる。しかしながら、中間層を用いているために成長用基板の転位が少なくとも中間層上には格子不整にともなう新たな転位が発生するので、劇的な転位密度低減にはならない。具体的には、転位密度として $10^6/\text{cm}^2$ 程度まで低減できることが確認された。

【0058】中間層としては、成長用基板やその上に積層する材料によって異なるが、AlGaInN、BaIGaInN、NdGaO<sub>3</sub>、MgO、ZnO、TiO<sub>2</sub>、ZnSe、ZnTe、ZnS、GaAs、Si、W、SiC、SiGeC、Al<sub>2</sub>O<sub>3</sub>、SiN、SiO<sub>2</sub>などが適当である。

【0059】ここでは、MOVPE法による成長について説明したが、これに限定されるものではなく、実用的には成長速度の速いハイドライド気相成長（HVPE）法を用いるのが好ましい。また、MOVPE法とHVPE法の組み合わせにより形成することももちろん可能である。

【0060】（実施の形態4）図8、図9および図10は本発明の実施の形態4に係る半導体基板の製造方法について示したものである。ここでは、実施の形態1や2で示した複数の積層体を接着して成長用基板を形成し、その上にGaN単結晶厚膜を形成するものである。本実施の形態では、窒化物結晶の成長にMOVPE法を用いた例について示す。

【0061】まず、実施の形態2と同様の工程により、シリコン（111）基板11上にGaN/AlInN多層膜23を形成する。詳細は以下の通りである。図8

（a）に示すように、基板として酸や溶剤等により表面が清浄化されたシリコン（111）基板11をスパッタリング装置内に配置し、ZnOセラミックをターゲットとして200nm厚のZnO膜19を堆積する。次に、MOVPE装置内のサセプター上に配置し、 $\text{N}_2$ ガスを10slmの流量で供給しながら、基板温度を600℃まで上昇させて10分間保持し、シリコン（111）基板11上のZnO膜19表面のサーマルクリーニングを行う。続いて $\text{N}_2$ ガスに加え、流量が1slmのアンモニアガスと流量が50  $\mu\text{mol}/\text{min}$ のトリメチルガリウムを添加して、ZnO膜19を堆積したシリコン（111）基板11上に20nm厚のGaN緩衝層20を形成する。その後、トリメチルガリウムの供給を停止する（図8（b））。

【0062】続いて、基板温度を1050℃まで上昇させて、流量が50  $\mu\text{mol}/\text{min}$ のトリメチルガリウムを添加して、1  $\mu\text{m}$ 厚のGaN層21をGaN緩衝層20上に積層する。その後、トリメチルガリウムの供給を停止する。引き続き、基板温度を800℃まで降下させて、流量が30  $\mu\text{mol}/\text{min}$ のトリメチルアルミニウムと流量が100  $\mu\text{mol}/\text{min}$ のトリメチルインジウムを添加して、0.5  $\mu\text{m}$ 厚のAlInN層22を積層する。その後、トリメチルアルミニウムとトリメチルインジウムの供給を停止する。この工程を一周期とし、20周期繰り返すことにより組成の異なる層からなる約30  $\mu\text{m}$ 厚のGaN/AlInN多層膜23が形成される。最表面はGaN層21で終端している（図8（c））。

【0063】以上のような積層体を堆積したシリコン基板を4枚作製する。まず、2枚のGaN表面同士を密着させて、耐熱性の治具で固定する。次に、1200℃に加熱したアニール炉内に配置し、10分間の加熱を行う。これにより2枚のウェハは接着される（図9

（a））。図9（a）中の×印が接着部である。なお、

Al、In、Gaなどを接着材として用いることもできる。

【0064】その後、HF:HNO<sub>3</sub>系のエッチャントを用いて両側のシリコン(111)基板11とZnO膜19を選択的にエッチング除去する。引き続き、新たに両側から積層体を堆積したシリコン(111)基板11のGa<sub>0.5</sub>N<sub>0.5</sub>表面を密着させて同様の工程で接着させて、シリコン(111)基板11でサンドイッチされた120μm厚の積層体を得る(図9(b))。その後、シリコン(111)基板11とZnO膜19をHF:HNO<sub>3</sub>系のエッチャントを用いてエッチングして、自立した120μm厚の積層体を得る(図9(c))。

【0065】次に、シリコン(111)基板11を除去したGa<sub>0.5</sub>N<sub>0.5</sub>単結晶基板を作製する成長用基板となる120μm厚の積層体をスパッタリング装置内に配置し、ZnOセラミックをターゲットとしてZnO膜24(いわゆる中間層)を堆積する(図10(a))。次に、ZnO膜24上にストライプ状のシリコン酸化膜マスク18を形成する。

【0066】その後、MOVPE装置内のサセプター上に配置し、N<sub>2</sub>ガスを10slmの流量で供給しながら基板温度を600℃まで上昇させて10分間保持し、表面のサーマルクリーニングを行う。続いてN<sub>2</sub>ガスに加え、流量が1slmのアンモニアガスと流量が200μmol/minのトリメチルガリウムを供給し、20nm厚のGa<sub>0.5</sub>N<sub>0.5</sub>緩衝層25を堆積する。この場合、Ga<sub>0.5</sub>N<sub>0.5</sub>はシリコン酸化膜マスク18上に堆積せず、ストライプ開口部に表出したZnO膜24上にのみ堆積する。その後、基板温度を1050℃まで上昇させて、流量が200μmol/minのトリメチルガリウムを供給し、マスク上の横方向成長を利用したいわゆるELOG成長によって表面が平坦となった110μm厚のGa<sub>0.5</sub>N<sub>0.5</sub>単結晶厚膜17を堆積する(図10(b))。その後、基板温度を室温まで降下させるわけであるが、中間層の膜厚は薄いので、熱膨張係数の不整合に係わる課題は発生しないので、亀裂が生じることはない。次に、HClをエッチャントとしてZnO膜24を選択的にエッチングして、Ga<sub>0.5</sub>N<sub>0.5</sub>単結晶厚膜17を分離する。最後に両面を研磨除去して100μm厚のGa<sub>0.5</sub>N<sub>0.5</sub>単結晶厚膜からなるGa<sub>0.5</sub>N<sub>0.5</sub>単結晶基板を作製する(図10(c))。

【0067】この場合、Ga<sub>0.5</sub>N<sub>0.5</sub>単結晶厚膜表面付近での転位密度は約10<sup>6</sup>cm<sup>-2</sup>程度まで低減できている。

【0068】ここでは、複数のGa<sub>0.5</sub>N<sub>0.5</sub>/AlInN多層膜23からなる積層体を接着して成長用基板を形成し、その上に中間層としてZnO膜19を介して110μm厚のGa<sub>0.5</sub>N<sub>0.5</sub>単結晶厚膜17を堆積した。この場合、積層体表面付近での転位密度は10<sup>10</sup>cm<sup>-2</sup>以上存在するが、ストライプ状のシリコン酸化膜マスク18を形成して、マスク上への横方向成長を利用したいわゆるELOG成長を行っているので低欠陥のGa<sub>0.5</sub>N<sub>0.5</sub>単結晶厚膜17

が形成できる。実際、転位密度は10<sup>7</sup>cm<sup>-2</sup>程度まで低減できている。

【0069】また、ここで作製したGa<sub>0.5</sub>N<sub>0.5</sub>単結晶基板を成長用基板として用いるとともに高品質の単結晶基板が作製できる。しかしながら、中間層を用いているために成長用基板の転位が少なくても中間層上には格子不整にともなう新たな転位が発生するので、劇的な転位密度低減にはならない。具体的には、転位密度として10<sup>6</sup>cm<sup>-2</sup>程度まで低減できることが確認された。

【0070】ここでは、MOVPE法による成長について説明したが、これに限定されるものではなく、実用的には成長速度の速いハイドライド気相成長(HVPE)法を用いるのが好ましい。また、MOVPE法とHVPE法の組み合わせにより形成することももちろん可能である。

#### 【0071】

【発明の効果】以上説明したように、本発明の半導体基板の製造方法によれば、窒化物系の半導体よりなる層を低温成長と高温成長とを繰り返して形成したものを基板として用いるので、異種材料で問題となった熱膨張係数差によって生じる亀裂や反りが抑制され、かつ欠陥の導入も抑制されるので高品質な半導体基板を形成することができる。

【0072】従って、本発明に半導体基板の製造方法により形成された半導体基板を用いれば、窒化物半導体を用いた半導体レーザや発光ダイオードなどの発光効率を著しく向上せしめ、また、信頼性の高い素子が形成できるなど工業上重要なものである。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1に係わる半導体基板の製造方法の各工程を示す断面図

【図2】本発明の実施の形態1に係わる半導体基板の製造方法の各工程を示す断面図

【図3】本発明の実施の形態1に係わる半導体基板の他の製造方法を示す断面図

【図4】本発明の実施の形態2に係わる半導体基板の製造方法の各工程を示す断面図

【図5】本発明の実施の形態2に係わる半導体基板の製造方法の各工程を示す断面図

【図6】本発明の実施の形態3に係わる半導体基板の製造方法の各工程を示す断面図

【図7】本発明の実施の形態3に係わる半導体基板の製造方法の各工程を示す断面図

【図8】本発明の実施の形態4に係わる半導体基板の製造方法の各工程を示す断面図

【図9】本発明の実施の形態4に係わる半導体基板の製造方法の各工程を示す断面図

【図10】本発明の実施の形態4に係わる半導体基板の製造方法の各工程を示す断面図

【符号の説明】

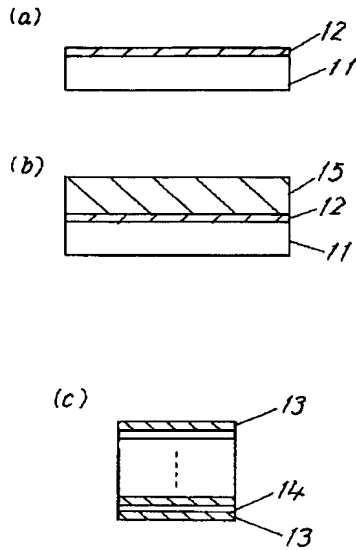
15

16

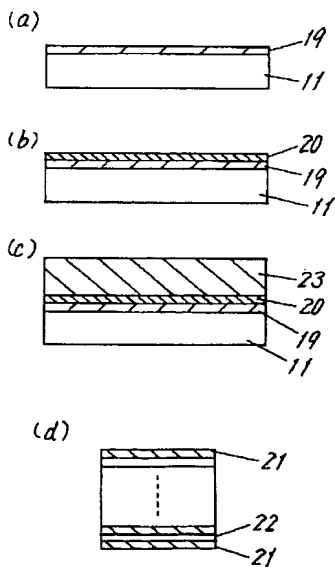
- 11 シリコン (111) 基板  
 12 AlN 緩衝層  
 13 GaN 高温層  
 14 GaN 低温層  
 15 GaN 多層膜  
 16、17 GaN 単結晶厚膜  
 18 シリコン酸化膜マスク

- 19 ZnO 膜  
 20 GaN 緩衝層  
 21 GaN 層  
 22 AlInN 層  
 23 GaN/AlInN 多層膜  
 24 ZnO 膜  
 25 GaN 緩衝層

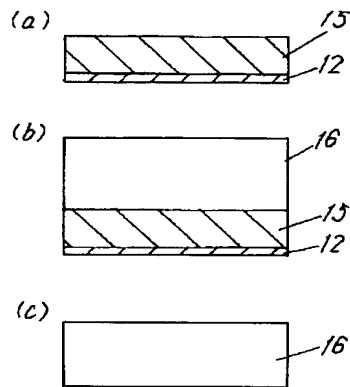
【図 1】



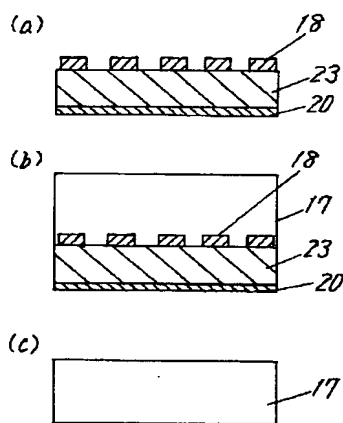
【図 4】



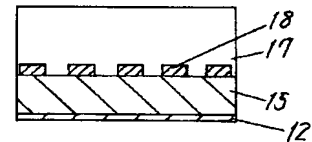
【図 2】



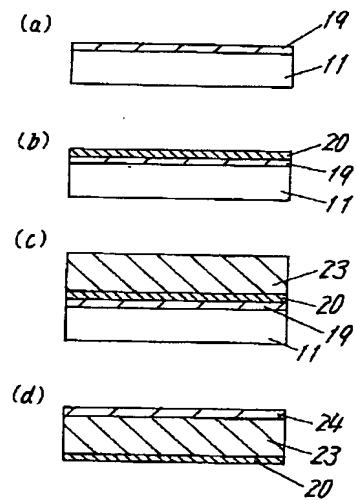
【図 5】



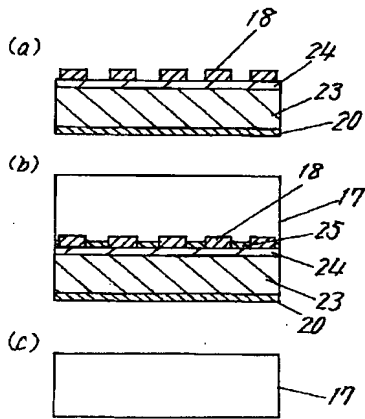
【図 3】



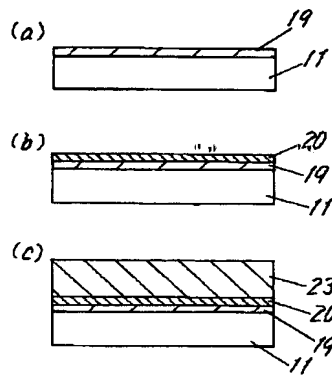
【図 6】



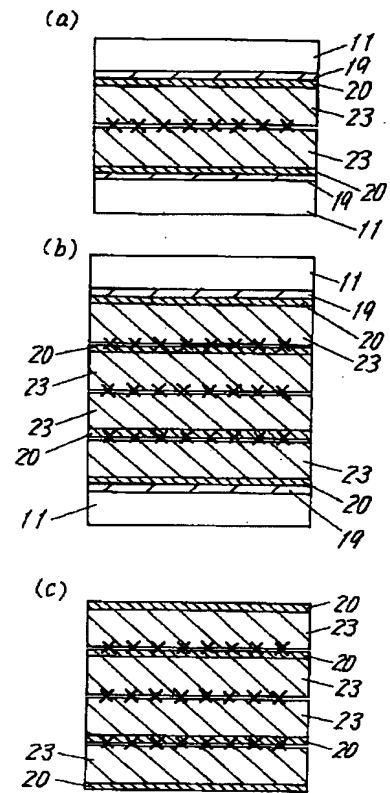
【図 7】



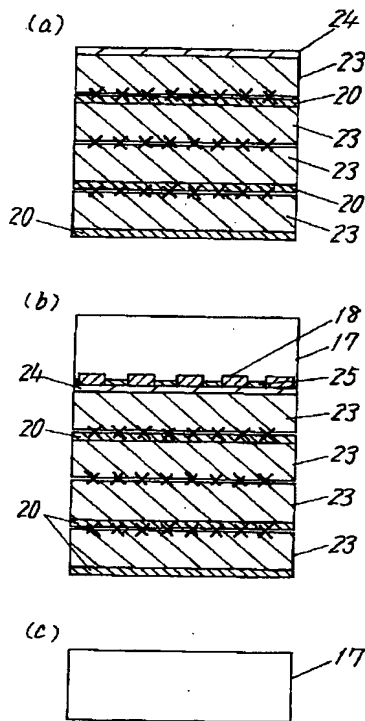
【図 8】



【図 9】



【図 10】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 21/308

H01S 5/323

識別記号

F I

H01L 21/308

H01S 5/323

テームコード' (参考)

C

F ターム(参考) 4G077 AA03 BE15 DB08 EF04 FJ03  
4K030 AA11 BA38 BB02 BB12 CA04  
DA04 JA01 JA10 LA12 " "  
5F043 AA02 AA37 BB02 BB25 GG10  
5F045 AA04 AA19 AB09 AB14 AB22  
AC08 AC12 AC15 AD09 AD10  
AD14 AD15 AF03 BB12 CA12  
CB02 DA54 DA67 DB02 HA14 " "  
5F073 CA02 DA05 DA07 DA22 DA35